



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 11017045

(43)Date of publication of application: 22.01.1999

(51)Int.Cl.

H01L 23/12

(21)Application number: 09169340

(71)Applicant:

HITACHI CHEM CO LTD

(22)Date of filing: 26.06.1997

(72)Inventor:

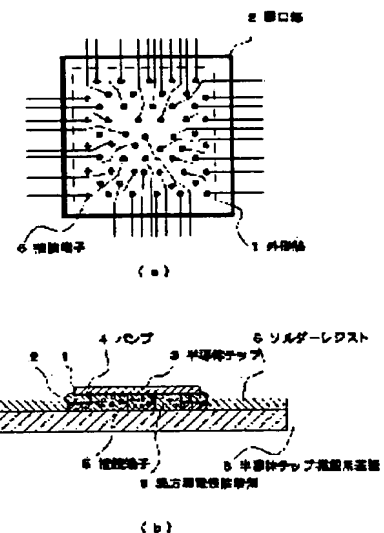
URASAKI NAOYUKI
SHIMADA YASUSHI
TSURU YOSHIYUKI
NAKASO AKISHI
WATANABE ITSUO

(54) SUBSTRATE FOR MOUNTING SEMICONDUCTOR CHIP

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a substrate for mounting a semiconductor chip which is suited for the mass production and improved about the reliability.

SOLUTION: The substrate for mounting a semiconductor chip 3 having bumps 4 through adhesives 9 comprises, on its surface, terminals 5 to be connected to the bumps 4 of the chip 3, and wiring conductors led from the terminals 5 and insulation coat covering the wiring conductors. Openings 2 without insulation coat are provided at regions for mounting the chip 3, and the size of each opening 2 is equal to or larger than the chip 3 in a range of up to about 300 μ m.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-17045

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl.⁴

H 0 1 L 23/12

識別記号

F I

H 0 1 L 23/12

F

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願平9-169340

(22) 出願日 平成9年(1997) 6月26日

(71) 出願人 000004455

日立化成工業株式会社

東京都新宿区西新宿2丁目1番1号

(72) 発明者 浦崎 直之

茨城県下館市大字小川1500番地 日立化成
工業株式会社下館研究所内

(72) 発明者 島田 靖

茨城県下館市大字小川1500番地 日立化成
工業株式会社下館研究所内

(72) 発明者 ▲つる▼ 義之

茨城県下館市大字小川1500番地 日立化成
工業株式会社下館研究所内

(74) 代理人 弁理士 若林 邦彦

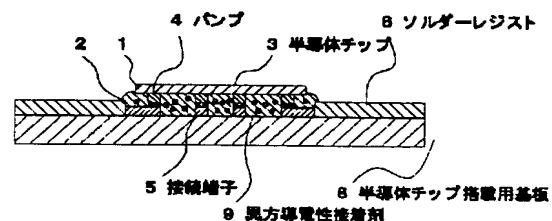
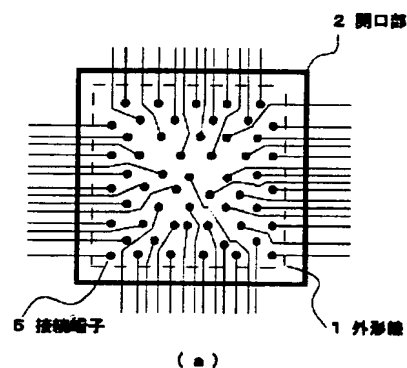
最終頁に続く

(54) 【発明の名称】 半導体チップ搭載用基板

(57) 【要約】

【課題】 量産性に適しかつ信頼性を向上させた半導体チップ搭載用基板を提供する。

【解決手段】 バンプを有する半導体チップを接着剤によって搭載する半導体チップ搭載用基板であって、その表面に、半導体チップのバンプと接続するための接続端子と、その接続端子から引き出された配線導体と、その配線導体を被覆する絶縁被覆を有し、その絶縁被覆が形成されない開口部が半導体チップを搭載する箇所に設けられ、その開口部の大きさが、前記半導体チップと同等であるかそれよりも大きい半導体チップ搭載用基板。



【特許請求の範囲】

【請求項1】端子を有する半導体チップを接着剤によって搭載する半導体チップ搭載用基板であって、その表面に、半導体チップの端子と接続するための接続端子と、その接続端子から引き出された配線導体と、その配線導体を被覆する絶縁被覆を有し、その絶縁被覆が形成されない開口部が半導体チップを搭載する箇所に設けられ、その開口部の大きさが、前記半導体チップと同等であるかそれよりも大きいことを特徴とする半導体チップ搭載用基板。

【請求項2】絶縁被覆の開口部の大きさが、半導体チップの大きさに加えて300 μ mまでの範囲で大きいことを特徴とする請求項1に記載の半導体チップ搭載用基板。

【請求項3】絶縁被覆の膜厚が、15～50 μ mの厚さであることを特徴とする請求項1または2に記載の半導体チップ搭載用基板。

【請求項4】前記接着剤が、異方導電性接着剤であることを特徴とする請求項1～3のうちいずれかに記載の半導体チップ搭載用基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体チップを搭載するための基板に関する。

【0002】

【従来の技術】近年、電子機器の発達にともない、電子機器の高性能化はもとより、配線板と電子部品とからなる回路板の小型化、軽量化の要求はますます厳しくなっている。これまで、スルーホールを設けた配線板にDIPパッケージやPGAパッケージなどを実装していた方式から表面に接続用の回路を設けた配線板にQFPパッケージやBGAパッケージなどを実装する方式に進化してきた。これは、後者の方が、配線板のデッドスペースが小さくなり、高密度実装が可能なこと、パッケージ自身が小型化、高性能化しやすいことによる。しかし、電子機器の発達は留まることを知らず、電子機器の高性能化と回路板の小型化、軽量化の両立は今でも大きな課題となっている。

【0003】その解決方法の一つとして、半導体チップをパッケージングせずに、直接配線板に搭載する方法が注目を浴びている。この方法は半導体チップと配線板の接合の仕方によって大きく2つに分かれる。一つはこれまでパッケージングの技術で汎用的に用いられてきたワイヤボンディングを用いる方法、もう一つはバンプ接続を用いる方法である。後者は一般的にフリップチップ接続と呼ばれ、エリアアレイ状に電極を形成できるので多ピン化が容易なこと、信号パス経路が短く電気特性が良好なことから、今後の普及の拡大が見込まれている。

【0004】一般的なフリップチップ接続方法は、半導体チップの濡れ性を有する金属端子上に置かれたはんだ

バンプとその対の基板上に配置された濡れ性を有する金属端子を利用し、リフローにより半導体チップと基板を電氣的に接続している。

【0005】

【発明が解決しようとする課題】ところで、現在では、このような半導体チップを搭載するための基板の、量産性を改良する方法がいくつか提案されてはいるが、いずれも、一長一短があり、製造技術が未確立であるという課題があった。

10 【0006】本発明は、量産性に適しかつ信頼性を向上させた半導体チップ実装用基板を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明の半導体チップ搭載用基板は、端子を有する半導体チップを接着剤によって搭載する半導体チップ搭載用基板であって、その表面に、半導体チップの端子と接続するための接続端子と、その接続端子から引き出された配線導体と、その配線導体を被覆する絶縁被覆を有し、その絶縁被覆が形成されない開口部が半導体チップを搭載する箇所に設けられ、その開口部の大きさが、前記半導体チップと同等であるかそれよりも大きいことを特徴とする。

【0008】

【発明の実施の形態】本発明でいう絶縁被覆の開口部とは、絶縁被覆しない箇所のことをいい、その大きさは、半導体チップと同等であるかそれよりも300 μ m大きいことが好ましく、300 μ mを超えると、配線導体を接着材で完全に被覆することができず絶縁信頼性の低下の原因となる。

30 【0009】この絶縁被覆には、通常の、ソルダーレジストに用いる材料が好ましく、シルクスクリーン印刷による塗布や、フィルム状あるいはシート状の絶縁材料を貼り合わせることによって形成することができる。中でも、ソルダーレジストインクは、材料費も安く、大量に形成するのに適している。この絶縁被覆の膜厚は、15～50 μ mの厚さであることが好ましく、15 μ m未満であると、絶縁性皮膜として均一に形成することが困難であり、50 μ mを超えると、絶縁信頼性は良好となるが50 μ mを越える厚さを形成するためには複数回の樹脂の塗布が必要になり、量産性の低下やコストアップの原因となる。

【0010】前記の接続端子は、ガラス布で補強された基板によって支持されていることが好ましく、また、その接続端子が支持される基板は、ガラス布で補強された基板にビルドアップ層を設けたものであり、接続端子は直接にはそのビルドアップ層によって支持されているものであることが好ましい。このようなビルドアップ層としては、ガラス不織布で補強された絶縁層でもよく、また、アラミド繊維で補強された絶縁層であってもよい。

【0011】本発明の、半導体チップ搭載用基板と端子

を有する半導体チップとを接着する接着剤に用いる樹脂組成物としては、エポキシ樹脂とイミダゾール系、ヒドラジド系、三フッ化ホウ素-アミン錯体、スルホニウム塩、アミンイミド、ポリアミンの塩、ジシアンジアミド等の潜在性硬化剤の混合物が用いられ、回路部材の熱膨張係数差に基づくストレスを緩和するためには、接着後の40℃での貯蔵弾性率が100~1500MPaの接着樹脂組成物が好ましい。

【0012】例えば、接続時の良好な流動性や高接続信頼性を得られる接着剤の樹脂組成物として、エポキシ樹脂とイミダゾール系、ヒドラジド系、三フッ化ホウ素-アミン錯体、スルホニウム塩、アミンイミド、ポリアミンの塩、ジシアンジアミド等の潜在性硬化剤の混合物に、接着後の40℃での貯蔵弾性率が100~1500MPaになるようにアクリルゴムを配合した接着剤があげられる。これらの樹脂組成物を溶剤に溶解し、表面に離型処理したフィルムやシートに塗布し、硬化剤の硬化温度以下で加熱して、溶剤を蒸散させて得られた接着フィルムを加熱硬化した硬化物の貯蔵弾性率は、例えば、レオロジ(株)製レオスペクトラDVE-4(引っぱりモード、周波数10Hz、5℃/minで昇温)を使用して測定できる。

【0013】接着剤に混合するアクリルゴムとしては、アクリル酸、アクリル酸エステル、メタクリル酸エステルまたはアクリロニトリルのうち少なくともひとつをモノマー成分とした重合体または共重合体があげられ、中でもグリシジルエーテル基を含有するグリシジルアクリレートやグリシジルメタクリレートを含む共重合体系アクリルゴムが好適に用いられる。これらアクリルゴムの分子量は、接着剤の凝集力を高める点から20万以上が好ましい。アクリルゴムの接着剤中の配合量は、15wt%以下であると接着後の40℃での弾性率が1500MPaを越えてしまい、また40wt%以上になると低弾性率化は図れるが接続時の溶融粘度が高くなり接続電極界面、または接続電極と導電粒子界面の溶融接着剤の排除性が低下するため、接続電極間または接続電極と導電粒子間の電氣的導通を確保できなくなるため、アクリル配合量としては15~40wt%が好ましい。

【0014】また、接着剤にはフィルム形成性をより容易にするためにフェノキシ樹脂などの熱可塑性樹脂を配合することもできる。特に、フェノキシ樹脂は、エポキシ樹脂と構造が類似しているため、エポキシ樹脂との相溶性、接着性に優れるなどの特徴を有するので好ましい。

【0015】このような接着剤をフィルム状に形成するには、上記のエポキシ樹脂、アクリルゴム、フェノキシ樹脂、潜在性硬化剤からなる接着組成物とを、有機溶剤に溶解あるいは分散により液化化して、剥離性基材上に塗布し、硬化剤の活性温度以下で溶剤を除去することにより行われる。この時用いる溶剤は、芳香族炭化水素

系と含酸素系の混合溶剤が材料の溶解性を向上させるため好ましい。

【0016】この接着剤には、チップのバンプや回路電極の高さばらつきを吸収するために、異方導電性を積極的に付与する目的で導電粒子を分散することもできる。このような導電粒子は、例えばAu、Ni、Ag、Cu、Wやはんだなどの金属粒子またはこれらの金属粒子表面に金やパラジウムなどの薄膜をめっきや蒸着によって形成した金属粒子であり、ポリスチレン等の高分子の球状の核材にNi、Cu、Au、はんだ等の導電層を設けた導電粒子を用いることができる。粒径は基板の電極の最小の間隔よりも小さいことが必要で、電極の高さにばらつきがある場合、そのばらつきよりも大きいことが好ましく、1μm~10μmの範囲が好ましい。また、接着剤に分散される導電粒子量は、0.1~30体積%であり、好ましくは0.1~20体積%である。このような異方導電性接着剤として、市販のものは、フリップタック(日立化成工業株式会社製、商品名)がある。

【0017】

【実施例】

実施例1

半導体チップ搭載用基板8として、厚さ0.8mmの、18μmの銅箔を片面に貼り合わせた片面銅張り積層板であるMCL-E-679(日立化成工業株式会社製、商品名)の、不要な箇所の銅をエッチング除去して作製したものを準備した。図1(a)に示すように、この半導体チップ搭載用基板8に、ソルダーレジスト6の開口部2を、半導体チップ3の外形線1よりも150μm大きく形成した。そして、図1(b)に示すように、半導体チップ3の端子には、めっきでバンプ4を形成し、異方導電性接着剤9であるフリップタック(日立化成工業株式会社製、商品名)を、半導体チップ搭載用基板8と半導体チップ3の間に配置し、前記半導体チップ3を下向きにして、バンプ4と半導体チップ搭載用基板8上の接続端子5との位置合わせを行って、180℃、30g/バンプ、20秒の条件でチップ上方から加熱、加圧することにより半導体チップ3のバンプ4と半導体チップ搭載用基板8の接続端子5を、異方導電性接着剤9を介して電氣的に接続した。以上のようにして、半導体チップ3と半導体チップ搭載用基板8を極めて簡便、安定的に、かつ、汎用性のある方法で接続が可能であった。さらに、この半導体チップ搭載用基板8の半導体チップ搭載面に形成されるソルダーレジスト6の形成不良は皆無であり、半導体チップ3搭載後の接続信頼性は、良好であった。

【0018】実施例2

半導体チップ搭載用基板8に、ビルドアップ層として、厚さ50μmの、ガラス不織布で補強したエポキシ樹脂プリプレグであるGEA-679NP(日立化成工業株式会社製、商品名)と、18μmの銅箔とを、この順

に、実施例 1 で用いた半導体チップ搭載用基板 8 と同じ材質で同じ方法によって作製した内層回路板の上に重ね、170℃で、2.5MPa、90 分の条件で加熱加圧し、積層一体化した多層配線板を用いた以外は、実施例 1 と同様にして、半導体チップ 3 を半導体チップ搭載用基板 8 に実装した。

【0019】実施例 3

ビルドアップ層に、アラミド繊維で補強したエポキシ樹脂プリプレグである EA-541（新神戸電機株式会社製、商品名）を用いた以外は、実施例 2 と同様にして、半導体チップ 3 を半導体チップ搭載用基板 8 に実装した。

【0020】これらの実施例においては、いずれも、ソルダーレジスト 6 の開口部 2 が、半導体チップ 1 つに対して、1 つ形成すればよく、その形成が容易であり、高歩留まりで製造できるため、量産性に優れる。また、半導体チップ 3 と半導体チップ搭載用基板 8 との接続工程において、接着剤が、加熱・加圧されると流動するのでボイドの発生を抑制し、樹脂で封止することができ、接続部分間の絶縁が十分に保たれるので、半導体チップ接続端子と半導体実装用基板の接続端子間の接続信頼性が高い。半導体チップ 3 と半導体チップ搭載用基板 8 との接続工程と、半導体チップ 3 と半導体チップ搭載用基板

8 との間の樹脂封止工程とを、同時に行うことができるため、搭載工程の量産性にも優れている。さらに、ソルダーレジスト 6 の開口部 2 が半導体チップ 3 より大きいので、封止に足る接着剤以外は、外に逃がすことができ、接続工程での残留応力が小さく、変形し難い。さらにまた、導電性粒子が分散されている接着剤を用いた場合、加熱・加圧することにより、接続の信頼性を高めることができる。

【0021】

【発明の効果】以上に説明したように、本発明によって、量産性に優れ、接続信頼性が高い半導体チップ搭載用基板を得ることができる。

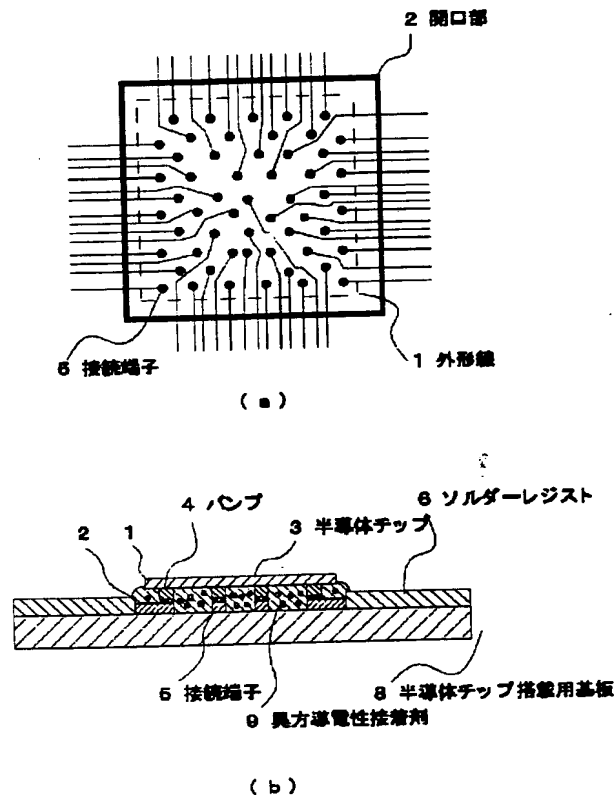
【図面の簡単な説明】

【図 1】(a) は、本発明の一実施例の要部を示す上面図であり、(b) は本発明の一実施例を示す断面図である。

【符号の説明】

- | | |
|----------------|-------------|
| 1. 外形線 | 2. 開口部 |
| 3. 半導体チップ | 4. バンプ |
| 5. 接続端子 | 6. ソルダー |
| レジスト | |
| 8. 半導体チップ搭載用基板 | 9. 異方導電性接着剤 |

【図 1】



フロントページの続き

(72)発明者 中祖 昭士

茨城県下館市大字小川1500番地 日立化成
工業株式会社下館研究所内

(72)発明者 渡辺 伊津夫

茨城県つくば市和台48 日立化成工業株式
会社筑波開発研究所内